

11046 U.S. PTO

10/008704



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

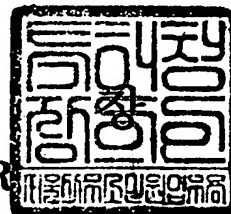
출원번호 : Application Number	특허출원 2001년 제 11182 호 PATENT-2001-0011182
출원년월일 : Date of Application	2001년 03월 05일 MAR 05, 2001
출원인 : Applicant(s)	삼성전자 주식회사 SAMSUNG ELECTRONICS CO., LTD.



2001      07      02  
          년      월      일

특      허      청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001.03.05
【국제특허분류】	H01L 23/48
【발명의 명칭】	다이 패드가 국부 에칭된 초박형 반도체 패키지
【발명의 영문명칭】	Ultra Thin Semiconductor Package Having Partially Etched Die Pad
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【대리인】	
【성명】	남희섭
【대리인코드】	9-1999-000451-4
【포괄위임등록번호】	2001-000228-1
【발명자】	
【성명의 국문표기】	안상호
【성명의 영문표기】	AHN, Sang Ho
【주민등록번호】	650303-1122628
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을 삼익아파트 327동 1501호
【국적】	KR

**【발명자】****【성명의 국문표기】**

오세용

**【성명의 영문표기】**

OH, Se Yong

**【주민등록번호】**

541215-1388712

**【우편번호】**

138-240

**【주소】**

서울특별시 송파구 신천동 7번지 장미아파트 7동 103호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

윤동열 (인) 대리인

이선희 (인) 대리인

남희섭 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

5 면 5,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

10 항 429,000 원

**【합계】**

463,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통 2. 위임장\_1통 [1999년 1월 21일자 포괄위임등록, 1999년 3월 15일자복 대리인선임, 2001년 1월 3일자 복대리인선임]

**【요약서】****【요약】**

본 발명은 다이 패드가 국부 에칭된 초박형 반도체 패키지를 제공한다. 본 발명에 따른 초박형 반도체 패키지는 리드 프레임을 포함하며, 리드 프레임은 제1 두께를 가지는 다이 패드와 제2 두께를 가지며 다이 패드 주위에 배치되는 다수의 리드들을 포함한다. 또한, 본 발명의 초박형 반도체 패키지는 다이 패드에 부착되는 반도체 집적회로 칩과, 반도체 집적회로 칩에 각각의 리드를 전기적으로 연결하는 본딩 와이어와, 다이 패드와 반도체 집적회로 칩과 본딩 와이어와 각각의 리드의 안쪽을 밀봉하는 패키지 성형체를 포함한다. 특히, 본 발명의 초박형 반도체 패키지는 다이 패드의 제1 두께가 리드들의 제2 두께보다 작은 것을 특징으로 한다. 바람직하게는, 반도체 패키지의 두께가 0.7mm 이하이며, 다이 패드의 제1 두께가 리드들의 제2 두께의 50% 이하이다. 예를 들어, 두께가 약 100 $\mu$ m인 리드 프레임을 사용할 경우, 리드의 두께는 약 100 $\mu$ m이지만 다이 패드의 두께는 약 40 $\mu$ m이다.

**【대표도】**

도 3

**【색인어】**

패키지, 초박형, 다이 패드, 타이 바, 리버스 본딩, 패키지 성형체

**【명세서】****【발명의 명칭】**

다이 패드가 국부 에칭된 초박형 반도체 패키지 {Ultra Thin Semiconductor Package Having Partially Etched Die Pad}

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 리드 프레임 반도체 패키지를 나타내는 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 초박형 반도체 패키지를 나타내는 평면도이다.

도 3은 도 2의 III-III선 단면도이며, 도 3a는 도 3의 부분 상세도이다.

도 4는 도 2의 IV-IV선 단면도이다.

도 5는 본 발명의 제2 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다

도 6은 본 발명의 제3 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다

도 7a와 도 7b는 본 발명의 제4 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다.

도 8은 본 발명의 제5 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다

도 9a와 도 9b는 본 발명의 제6 실시예에 따른 초박형 반도체 패키지를 나타내는 평면도와 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200, 300, 400, 500, 600: 반도체 패키지(semiconductor package)

110, 210, 310, 410, 510, 610: 리드 프레임(lead frame)

112, 212, 312, 412, 512, 612: 다이 패드(die pad)

114, 214, 414, 614: 타이 바(tie bar)

116, 316, 416, 516, 616: 리드(lead)

120: 반도체 집적회로 칩(semiconductor integrated circuit chip)

122: 접착층(adhesive layer)

124: 본딩 와이어(bonding wire)

126: 패키지 성형체(package mold body)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 반도체 패키지 소자에 관한 것으로서, 특히 다이 패드가 국부 에칭된 초박형 반도체 패키지에 관한 것이다.

<21> 잘 알려진 바와 같이, 메모리 소자와 같은 반도체 집적회로 칩은 패키지의 형태로 조립한 후 각종 전자 장치의 회로 기판에 실장하여 사용한다. 패키지는 회로 기판과의 전기적 연결과 물리적 접합을 위하여 리드 프레임과 같은 매개체를 사용하는 것이 일반적이다. 리드 프레임을 사용하는 종래기술에 따른 반도체 패키지의 예가 도 1에 도시되어 있다.

<22> 도 1을 참조하면, 종래의 전형적인 반도체 패키지(10)는 다이 패드(13)와 다수의 리드(14)들로 구성된 리드 프레임(15)을 구비한다. 반도체 집적회로 칩(11)은 접착제(12)에 의하여 다이 패드(13)에 물리적으로 접합되며, 본딩 와이어(16)에 의하여 리드(14)에 전기적으로 연결된다. 반도체 칩(11)과 본딩 와이어(16) 등은 에폭시와 같은 성형수지로 형성되는 패키지 성형체(17) 속에 밀봉되어 외부로부터 보호된다. 각 리드(14)의 바깥쪽, 즉 패키지 성형체(17) 외부로 돌출된 외부 리드는 외부 회로 기판(도시되지 않음)에 실장하기에 적합한 형태로 가공된다.

<23> 이상과 같은 구조를 가지는 종래의 반도체 패키지(10)는 갈수록 박형화의 요구에 직면하고 있다. 이는 반도체 패키지(10)를 실장하여 사용하는 각종 전자 장치 자체의 소형화 및 박형화 추세에 따른 것이며, 특히 도 1에 예시된 바와 같이, 메모리 용량을 증가시키기 위하여 두 개 이상의 반도체 칩(11)을 내장한 반도체 패키지(10)의 경우에 박형화의 필요성은 더욱 커진다. 박형화의 요구에 부응하여 제안된 종래의 해결 방안 중의 하나는 반도체 칩(11)의 두께를 줄이는 것이다. 이 방안에 따르면, 반도체 칩(11)의 두께가 100~150 $\mu$ m까지 줄어들며, 반도체 패키지(10)의 전체 두께를 1.0mm 이하로 얇게 할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 그러나, 반도체 집적회로 칩의 두께를 줄이는 종래기술에는 박형 패키지를 구현할 수 있다는 장점이 있는 반면, 웨이퍼 취급이 어려워지고 칩 파손 가능성이 커진다는 단점도 병존한다. 웨이퍼, 즉 반도체 칩을 형성하는 주요 재질이 경도가 취약한 실리콘인 점을 감안하면 이러한 단점은 당연한 것이다.

<25> 따라서, 본 발명의 목적은 반도체 패키지의 두께가 1.0mm 이하인, 바람직하게는

0.7mm 이하인, 초박형(超薄型) 반도체 패키지를 제공하는 것이다.

- <26> 본 발명의 다른 목적은 물리적 신뢰성이 우수하고 공정 관리가 용이한 초박형 반도체 패키지를 제공하고자 하는 것이다.

【발명의 구성 및 작용】

- <27> 이와 같은 목적을 달성하기 위하여, 본 발명은 다이 패드가 국부(局部) 에칭된 초박형 반도체 패키지를 제공한다. 본 발명에 따른 초박형 반도체 패키지는 리드 프레임을 포함하며, 리드 프레임은 제1 두께를 가지는 다이 패드와 제2 두께를 가지며 다이 패드 주위에 배치되는 다수의 리드들을 포함한다. 또한, 본 발명의 초박형 반도체 패키지는 다이 패드에 부착되는 반도체 집적회로 칩과, 반도체 집적회로 칩에 각각의 리드를 전기적으로 연결하는 본딩 와이어와, 다이 패드와 반도체 집적회로 칩과 본딩 와이어와 각각의 리드의 안쪽을 밀봉하는 패키지 성형체를 포함한다.

- <28> 특히, 본 발명의 초박형 반도체 패키지는 다이 패드의 제1 두께가 리드들의 제2 두께보다 작은 것을 특징으로 한다. 바람직하게는, 반도체 패키지의 두께가 0.7mm 이하이며, 다이 패드의 제1 두께가 리드들의 제2 두께의 50% 이하이다.

- <29> 본 발명의 초박형 반도체 패키지는 다이 패드의 양쪽면에 각각 부착되는 두 개의 반도체 집적회로 칩을 포함할 수 있으며, 다이 패드에 연결되고 제3 두께를 가지는 적어도 두 개 이상의 타이 바를 포함할 수 있다. 타이 바의 제3 두께는 다이 패드의 제1 두께와 같거나, 리드의 제2 두께와 같을 수 있다. 제3 두께가 제2 두께와 같을 경우, 다이 패드는 반도체 집적회로 칩이 부착되고 제1 두께를 가지는 중앙부와, 타이 바에 연결되고 제4 두께를 가지는 가장자리부로 구분되며, 제4 두께는 제2 두께 및 제3 두께와 같을



수 있다. 제3 두께가 제1 두께와 같을 경우, 다이 패드는 타이 바로부터 소정의 거리만큼 아래쪽에 배치되어 패키지 성형체의 두께 방향으로 정중앙에 위치하는 것이 바람직하다. 한편, 다이 패드가 패키지 성형체의 두께 방향으로 정중앙에 위치하도록 패키지 성형체는 리드의 위쪽 부분이 리드의 아래쪽 부분보다 더 큰 두께를 가질 수 있다. 또한, 다이 패드는 적어도 두 부분 이상으로 분할될 수 있다.

<30> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 도면을 통틀어 동일한 도면 부호는 동일한 구성요소를 나타낸다. 도면은 본 발명의 실시예에 대한 이해를 돕기 위하여 간략하게 나타내었으며, 실제의 규격이나 치수를 전적으로 반영한 것은 아니다.

<31> 제1 실시예

<32> 도 2는 본 발명의 제1 실시예에 따른 초박형 반도체 패키지를 나타내는 평면도이다. 도 3은 도 2의 III-III선 단면도이고, 도 3a는 도 3의 부분 상세도이며, 도 4는 도 2의 IV-IV선 단면도이다.

<33> 도 2 내지 도 4에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 초박형 반도체 패키지(100)는 다이 패드(112), 타이 바(114), 리드(116)로 구성되는 리드 프레임(110)을 사용한다. 다이 패드(112)는 패키지(100)의 정중앙에 위치하며, 다이 패드(112)의 주위로 다수의 리드(116)들과 몇 개의 타이 바(114)가 배치된다. 리드(116)들은 다이 패드(112)와 분리되어 있으나, 타이 바(114)는 다이 패드(112)에 연결되어 있다.

<34> 다이 패드(112)의 상부면과 하부면에는 각각 반도체 집적회로 칩(120)이 부착된다. 반도체 집적회로 칩(120)은 디램(DRAM), 플래시 메모리(flash memory) 등의 메모리 소자

를 주로 사용하지만, 경우에 따라 비메모리 소자도 사용할 수 있다. 또한, 본 실시예에서는 두 개의 반도체 집적회로 칩(120)을 사용하지만, 한 개의 칩 만을 사용할 수도 있다. 한 개의 칩을 사용하는 예가 후술하는 제5 실시예이다. 두 개의 반도체 집적회로 칩(120)을 사용할 경우, 각각의 칩은 서로 동일한 종류의 동종(同種) 칩일 수도 있고, 서로 다른 종류의 이종(異種) 칩일 수도 있다. 예를 들어, 메모리 용량을 증가시키고자 할 때는 동종 칩을 사용하여 패키지를 구성한다.

<35> 반도체 집적회로 칩(120)과 다이 패드(112) 사이에는 접착층(122)이 개재되며, 은-에폭시(Ag-epoxy)와 같은 접착제 또는 폴리이미드 테이프(polyimide tape)와 같은 접착 테이프가 접착층(122)으로 사용된다. 반도체 집적회로 칩(120)은 본딩 와이어(124)를 통하여 리드(116)들과 전기적으로 연결된다. 본딩 와이어(124)는 통상적인 금 와이어(Au wire)를 사용한다.

<36> 반도체 집적회로 칩(120)과 다이 패드(112)와 본딩 와이어(124) 등은 모두 패키지 성형체(126) 내부에 밀봉된다. 패키지 성형체(126)는 에폭시 화합물(epoxy compound)과 같은 성형 수지로 몰딩(molding)된 것이다. 반도체 패키지(100)의 제조 과정에서 다이 패드(112)를 지지하는 타이 바(114)는 패키지 성형체(126)의 내부에만 남게 되며, 반도체 패키지(100)와 외부 회로 기판(도시되지 않음) 간의 전기적, 물리적 매개체인 리드(116)는 본딩 와이어(124)에 의하여 반도체 집적회로 칩(120)과 연결되는 부분이 패키지 성형체(126) 내부에, 회로 기판에 연결되는 부분이 패키지 성형체(126) 외부에 위치한다.

<37> 본 발명의 특징은 리드 프레임(110)의 다이 패드(112) 두께( $t_1$ )가 리드(116)의 두께( $t_2$ )보다 작다는 점이다(도 3a 참조). 본 발명이 속하는 기술분야에 잘 알려져 있는

바와 같이, 패키지(100) 제조에 사용되는 리드 프레임(110)은 구리 또는 철-니켈 합금(예컨대, alloy42) 재질로 이루어진다. 리드 프레임(110)은 박판(薄板) 형태의 리드 프레임 원판으로부터 제조되며, 에칭(etching) 또는 스탬핑(stamping) 방법으로 리드 프레임 원판을 패터닝(patterning)하여 다이 패드(112), 타이 바(114), 리드(116) 등을 형성한다. 그 밖에, 제조 완료된 패키지(100)에 포함되지 않기 때문에 도면에 도시되지는 않았지만, 패키지 제조 과정에서 특정 기능을 수행하는 댐 바(dam bar), 사이드 레일(side rail) 등이 리드 프레임(110) 제조 과정에서 형성된다.

<38> 리드 프레임(110)은 반도체 패키지(100) 유형에 따라 그 두께가 다양하다. 또한, 반도체 패키지(100)의 박형화 추세에 맞추어 리드 프레임(110)의 두께 또한 계속 작아지고 있다. 그 결과, 예전에는 두께가  $300\mu\text{m}(=12\text{mil})$ ,  $250\mu\text{m}(=10\text{mil})$ ,  $200\mu\text{m}(=8\text{mil})$ ,  $150\mu\text{m}(=6\text{mil})$ 인 리드 프레임들이 사용되었으나, 최근에는 두께가  $100\mu\text{m}(=4\text{mil})$ 인 리드 프레임도 사용되고 있다. 본 실시예는 두께가 약  $100\mu\text{m}$ 인 리드 프레임(110)을 사용하되, 다이 패드(112)의 두께를 리드 프레임(110) 두께의 약 40% 수준으로 얇게 만든다. 즉, 리드(116)의 두께(도 3A의  $t_2$ )는 약  $100\mu\text{m}$ 이지만, 다이 패드(112)의 두께(도 3A의  $t_1$ )는 약  $40\mu\text{m}$ 이다. 한편, 타이 바(114)는 두께는 다이 패드(112)의 두께와 같이 약  $40\mu\text{m}$ 이다(도 4 참조).

<39> 다이 패드(112)의 두께를 얇게 구현함으로써 그만큼 반도체 패키지(100)의 두께를 얇게 만들 수 있다. 본 실시예의 경우, 반도체 패키지(110)의 두께(도 3의 T)는 약 0.7 mm이다. 도 3A를 참조하면, 접착층(122)의 두께는 각각  $10\sim 20\mu\text{m}$ 이고, 반도체 집적회로 칩(120)의 두께( $t_3$ )는 각각  $100\sim 150\mu\text{m}$ 이며, 반도체 집적회로 칩(120)의 상부면으로부터 본딩 와이어(124)의 높이( $t_4$ )는 약  $80\mu\text{m}$ 이다.

<40> 반도체 집적회로 칩(120)과 리드(116) 간의 와이어 본딩은 소위 리버스 본딩(reverse bonding) 방법을 사용한다. 리버스 본딩이란, 전형적인 와이어 본딩 방법과 같이 칩 전극 단자(128)에서 먼저 볼 본딩(ball bonding)을 하고 리드(116) 쪽으로 와이어(124)를 끌어당긴 후 리드(116)에서 스티치 본딩(stitch bonding)을 하는 것이 아니라, 리드(116)에서 먼저 볼 본딩을 하고 반도체 칩(120) 쪽으로 와이어(124)를 끌어당긴 후 칩 전극 단자(128)에서 스티치 본딩을 하는 것이다. 이렇게 함으로써, 전형적인 와이어 본딩에서의 와이어 높이(약  $150\mu\text{m}$ )가 리버스 본딩에서는 절반 수준(약  $80\mu\text{m}$ )으로 줄어들게 된다. 한편, 칩 전극 단자(128)의 상부에는 반도체 칩(120)에 미치는 충격을 완화시키기 위하여 금속 범프가 형성될 수 있다.

<41> 다이 패드(112)의 두께를 얇게 하는 방법은 리드 프레임(110)의 제조 과정에서 다이 패드(112)의 양쪽 면을 각각 국부 에칭하는 방법과 한쪽 면만을 국부 에칭하는 방법이 있다. 본 실시예는 다이 패드(112)의 양쪽 면을 에칭한 예이고, 후술하는 제2 실시예와 제3 실시예는 한쪽 면만을 에칭한 예이다. 전술했듯이, 패키지 제조 공정 중에서 다이 패드(112)는 타이 바(114)에 의하여 지지된다. 따라서, 다이 패드(112)를 얇게 하더라도 리드 프레임(110) 전체의 물리적인 강도에는 그다지 영향을 미치지 않는다. 또한, 리드 프레임(110)을 제조하는 기존의 장치와 공정을 그대로 이용할 수 있는 장점도 있다.

<42> 한편, 다이 패드(112)의 한쪽 면만을 국부 에칭하게 되면, 다이 패드(112)가 리드(116)의 중간 부분(두께 방향으로)에 위치하는 것이 아니라, 리드(116)의 상부면 또는 하부면과 일치하게 된다. 즉, 다이 패드(112)는 패키지 성형체(126)의 두께 방향으로 정중앙에 위치하지 않고 상부쪽 또는 하부쪽으로 약간 치우치게 된다. 이는 각각의 반도체

집적회로 칩(120)의 상부면을 기준으로 패키지 성형체(126)의 상부쪽과 하부쪽의 두께가 달라짐을 의미하며, 패키지 성형체(126)를 형성하는 몰딩 공정에서 불완전 성형을 초래할 수 있다.

<43>      제2 실시예 및 제3 실시예

<44>      따라서, 다이 패드의 한쪽 면만을 국부 에칭하여 다이 패드의 두께를 얇게 구현할 경우, 다이 패드의 위치를 조절하거나 다이 패드의 위치를 기준으로 패키지 성형체가 형성된다. 전자는 제2 실시예이며, 후자는 제3 실시예이다. 본 실시예들에 해당하는 도면은 도 5와 도 6이며, 도 5의 단면도는 본 발명의 제2 실시예에 따른 초박형 반도체 패키지를, 도 6의 단면도는 본 발명의 제3 실시예에 따른 초박형 반도체 패키지를 각각 나타내고 있다. 도 5는 도 4에 대응하는 단면도이며, 도 6은 도 3에 대응하는 단면도이다.

<45>      먼저 도 5를 참조하여 제2 실시예를 설명하면, 다이 패드(212)가 타이 바(214)로부터 소정의 거리(d)만큼 아래쪽으로 배치된다. 즉, 다이 패드(212)는 리드 프레임(210)이 이루는 수평면으로부터 소위 다운 셋(down set) 가공된다. 따라서, 한쪽 면만을 에칭하여 다이 패드(212)를 형성하더라도 패키지 성형체(126)의 두께 방향으로 정중앙에 다이 패드(212)를 위치시킬 수 있다.

<46>      이어서 도 6을 참조하여 제3 실시예를 설명하면, 다이 패드(312)의 위치를 기준으로 패키지 성형체(126)가 형성된다. 다시 말해서, 패키지 성형체(126)는 리드(316)를 기준으로 그 상하부 두께가 같아지도록 형성하는 것이 일반적인데 반하여, 본 실시예의 패키지 성형체(126)는 다이 패드(312)를 기준으로 그 상하부 두께가 동일하도록 형성한다. 즉, 다이 패드(312)가 패키지 성형체(126)의 두께 방향으로 정중앙에 위치할 수 있도록,

패키지 성형체(126)의 리드(316) 위쪽 부분의 두께(t5)와 리드(316) 아래쪽 부분의 두께(t6)를 다르게 형성한다. 따라서, 리드 프레임(310)의 리드(316)를 기준으로 보았을 때, 소위 비대칭 몰딩(unbalanced molding)이 이루어진다.

<47>      제4 실시예

<48>      한편, 타이 바는 다이 패드와 동일한 두께를 가지거나 또는 리드와 동일한 두께를 가질 수 있다. 이는 다이 패드를 국부 에칭할 때 다이 패드와 연결된 타이 바도 같이 에칭하느냐 하지 않느냐의 차이이다. 전술한 제1 실시예는 타이 바(114)가 다이 패드(112)와 동일한 두께를 가지는 경우이며(도 4 참조), 이번에 설명할 제4 실시예는 타이 바가 리드와 동일한 두께를 가지는 경우이다. 도 7a와 도 7b는 본 발명의 제4 실시예에 따른 초박형 반도체 패키지(400)를 나타내는 단면도이다. 도 7a는 도 3에 대응되는 단면도이며, 도 7b는 도 4에 대응되는 단면도이다.

<49>      도 7a와 도 7b에 도시된 바와 같이, 다이 패드(412)는 반도체 집적회로 칩(120)이 부착되는 중앙부(412a)와 타이 바(414)에 연결되는 가장자리부(412b)로 편의상 구분 지을 수 있다. 이 때, 다이 패드(412)의 중앙부(412a)는 국부 에칭되어 얇은 두께를 가지지만, 다이 패드(412)의 가장자리부(412b)와 타이 바(414)는 에칭되지 않는다. 따라서, 다이 패드(412)의 중앙부(412a)를 제외한 리드 프레임(410)의 나머지 부분들, 즉, 다이 패드(412)의 가장자리부(412b)와 타이 바(414)와 리드(416)들은 모두 동일한 두께를 가진다. 사실상, 반도체 집적회로 칩(120)과 접촉되는 다이 패드(412)의 중앙부(412a)만이 패키지(400)의 박형화에 기여함을 감안하면, 다이 패드(412)의 가장자리부(412b)는 굳이 얇은 두께를 가질 필요가 없다. 오히려, 다이 패드(412)의 가장자리부(412b)와 타이 바(414)의 두께를 그대로 유지함으로써, 타이 바(414)에 의한 다이 패드(412)의 지지 기

능을 안정적으로 구현할 수 있다.

<50>      제5 실시예

<51>      한편, 본 발명의 초박형 반도체 패키지는 한 개의 반도체 집적회로 칩을 사용하는 경우에도 적용할 수 있다. 제5 실시예가 그러한 예를 보여주고 있다. 도 8은 도 3에 대응하는 도면으로서, 본 발명의 제5 실시예에 따른 초박형 반도체 패키지(500)를 나타내는 단면도이다.

<52>      도 8에 도시된 바와 같이, 반도체 패키지(500)는 한 개의 반도체 집적회로 칩(120)만을 포함하며, 반도체 집적회로 칩(120)이 부착되는 다이 패드(512)의 표면은 국부 에칭되어 있다. 전술한 제4 실시예와 마찬가지로, 다이 패드(512)를 중앙부(512a)와 가장자리부(512b)로 구분했을 때, 다이 패드(512)의 중앙부(512a)는 얇게 에칭되지만 가장자리부(512b)는 에칭되지 않는다. 따라서, 본 실시예의 리드 프레임(510)은 타이 바(도시되지 않음)의 두께가 리드(516)의 두께와 동일하다. 그리고, 다이 패드(512)에 부착되는 반도체 집적회로 칩(120)이 한 개 밖에 없으므로 굳이 다이 패드(512)의 양쪽면을 모두 에칭할 필요가 없다.

<53>      그러나, 반도체 집적회로 칩(120)의 개수가 다이 패드(512)의 에칭 형태, 타이 바의 두께 등과 상관 관계를 가지는 것은 아니다. 전술한 제1 실시예 내지 제3 실시예의 경우에도 한 개의 반도체 집적회로 칩만을 사용하여 반도체 패키지를 구성할 수 있다. 아울러, 본 실시예의 경우에도 전술한 제2 실시예 및 제3 실시예와 마찬가지로, 불완전 성형을 방지하기 위하여 다이 패드(512)를 다운 셋 가공하거나 비대칭 몰딩을 적용할 수 있다.

## &lt;54&gt; 제6 실시예

<55> 한편, 본 발명에 적용되는 다이 패드는 적어도 두 부분 이상으로 분할될 수 있다.

제6 실시예가 그러한 예에 해당되며, 도 9a와 도 9b가 본 발명의 제6 실시예에 따른 초박형 반도체 패키지(600)를 나타내고 있다. 도 9a는 평면도이며, 도 9b는 도 9a의 IXB-IXB 선을 따라 절단한 단면도이다.

<56> 도 9a와 도 9b에 도시된 바와 같이, 다이 패드(612)는 두 부분으로 분할되며, 필요한 경우 그 이상으로 분할될 수도 있다. 분할된 각각의 다이 패드(612)는 각각의 타이바(614)에 의하여 연결되며, 반도체 집적회로 칩(120)은 각각의 다이 패드(612)에 형성된 접착층(122)을 통하여 두 다이 패드(612)에 동시에 부착된다.

<57> 본 실시예와 같이 다이 패드(612)를 분할하게 되면, 반도체 집적회로 칩(120)을 부착하여 지지하는 다이 패드(612)의 원래 기능은 잃지 않으면서, 패키지 성형체(126) 내부에서 다이 패드(612)가 차지하는 면적은 줄어들게 된다. 따라서, 다이 패드(612)와 나머지 구성요소들(예를 들어, 패키지 성형체(126), 반도체 집적회로 칩(120), 접착층(122)) 간의 열팽창계수 차이로 인하여 발생할 수 있는 신뢰성 저하의 문제(예를 들어, 계면 박리, 패키지 성형체의 균열)가 대폭 해소될 수 있다. 이러한 관점에서, 본 발명의 초박형 반도체 패키지는 분할된 다이 패드 이외에도 반도체 집적회로 칩보다 크기가 작은 소형 다이 패드를 사용하는 것도 가능하다.

## 【발명의 효과】

<58> 이상 몇가지 실시예를 통하여 설명한 바와 같이, 본 발명에 따른 초박형 반도체 패키지는 다음과 같은 여러 효과와 장점을 가지고 있다.



- <59> 본 발명의 초박형 반도체 패키지는 0.7mm 이하의 두께를 구현할 수 있다. 또한, 이와 같이 극히 얇은 두께의 구현이 가능함에도 불구하고 반도체 패키지의 물리적 신뢰성이 우수하고 공정 관리가 용이하다.
- <60> 즉, 본 발명의 초박형 반도체 패키지는 다이 패드의 두께를 축소하여 반도체 패키지의 박형화를 구현하기 때문에, 패키지 제조 공정의 측면에서나 완성된 패키지 구조의 측면에서나 공정 신뢰성 또는 패키지 신뢰성에 영향을 받지 않는다. 아울러, 다이 패드의 두께를 줄이는 방법은 기존의 리드 프레임 제조 장치와 공정을 그대로 이용할 수 있다.
- <61> 또한, 본 발명의 초박형 반도체 패키지는 다이 패드의 한쪽 면이 국부 에칭된 경우 다이 패드의 다운 셋 가공 또는 패키지 성형체의 비대칭 몰딩을 통하여 불완전 성형을 방지할 수 있다.
- <62> 또한, 본 발명의 초박형 반도체 패키지는 다이 패드의 가장자리부와 타이 바를 제외하고 다이 패드의 중앙부만 국부 에칭함으로써 타이 바에 의한 다이 패드의 지지 기능을 안정적으로 구현할 수 있다.
- <63> 또한, 본 발명의 초박형 반도체 패키지는 분할된 다이 패드를 사용하여 패키지 성형체 내부에서 다이 패드가 차지하는 면적을 감소시킴으로써 다이 패드와 나머지 구성요소들 간의 열팽창계수 차이로 인한 신뢰성 저하를 방지할 수 있다.
- <64> 또한, 본 발명의 초박형 반도체 패키지는 반도체 집적회로 칩의 종류와 개수에 제약받지 않으며, 반도체 집적회로 칩을 다이 패드에 부착시키는 접착층의 종류에도 제한을 두지 않는다. 아울러, 전형적인 와이어 본딩 방법 대신에 리버스 본딩 방법을 채택함

으로써 와이어의 높이를 대폭 줄일 수 있다.

<65>      본 명세서와 도면에는 본 발명의 바람직한 몇가지 실시예들에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 독자의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 것이다.

**【특허청구범위】****【청구항 1】**

제1 두께를 가지는 다이 패드와, 제2 두께를 가지며 상기 다이 패드 주위에 배치되는 다수의 리드들을 포함하는 리드 프레임과; 상기 다이 패드에 부착되는 반도체 집적회로 칩과; 상기 반도체 집적회로 칩에 상기 각각의 리드를 전기적으로 연결하는 본딩 와이어와; 상기 다이 패드와 상기 반도체 집적회로 칩과 상기 본딩 와이어와 상기 각각의 리드의 안쪽을 밀봉하는 패키지 성형체를 포함하며,

특히 상기 다이 패드의 제1 두께는 상기 리드들의 제2 두께보다 작은 것을 특징으로 하는 초박형 반도체 패키지.

**【청구항 2】**

제1항에 있어서, 두께가 0.7mm 이하인 것을 특징으로 하는 초박형 반도체 패키지.

**【청구항 3】**

제1항에 있어서, 상기 다이 패드의 제1 두께는 상기 리드들의 제2 두께의 50% 이하인 것을 특징으로 하는 초박형 반도체 패키지.

**【청구항 4】**

제1항에 있어서, 상기 반도체 집적회로 칩은 상기 다이 패드의 양쪽면에 각각 부착되는 두 개의 반도체 집적회로 칩을 포함하는 것을 특징으로 하는 초박형 반도체 패키지.

**【청구항 5】**

제1항에 있어서, 상기 리드 프레임은 상기 다이 패드를 지지하기 위하여 상기 다이 패드에 연결되며 제3 두께를 가지는 적어도 두 개 이상의 타이 바를 더 포함하는 것을 특징으로 하는 초박형 반도체 패키지.

**【청구항 6】**

제5항에 있어서, 상기 타이 바의 제3 두께는 상기 다이 패드의 제1 두께와 같은 것임을 특징으로 하는 초박형 반도체 패키지.

**【청구항 7】**

제6항에 있어서, 상기 다이 패드는 상기 타이 바로부터 소정의 거리만큼 아래쪽에 배치되어 상기 패키지 성형체의 두께 방향으로 정중앙에 위치하는 것을 특징으로 하는 초박형 반도체 패키지.

**【청구항 8】**

제1항에 있어서, 상기 다이 패드가 상기 패키지 성형체의 두께 방향으로 정중앙에 위치하도록 상기 패키지 성형체는 상기 리드의 위쪽 부분이 상기 리드의 아래쪽 부분보다 더 큰 두께를 가지는 것을 특징으로 하는 초박형 반도체 패키지.

**【청구항 9】**

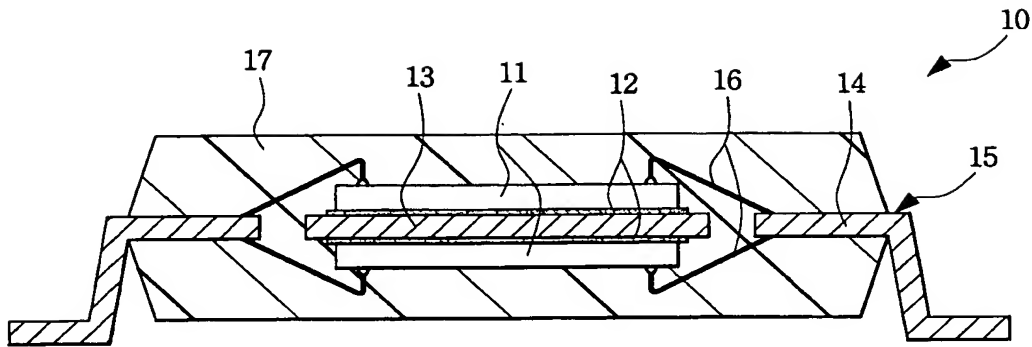
제5항에 있어서, 상기 다이 패드는 상기 반도체 집적회로 칩이 부착되고 상기 제1 두께를 가지는 중앙부와, 상기 타이 바에 연결되고 제4 두께를 가지는 가장자리부로 구분되며, 상기 리드의 제2 두께와 상기 타이 바의 제3 두께와 상기 다이 패드 가장자리부의 제4 두께는 모두 같은 것임을 특징으로 하는 초박형 반도체 패키지.

【청구항 10】

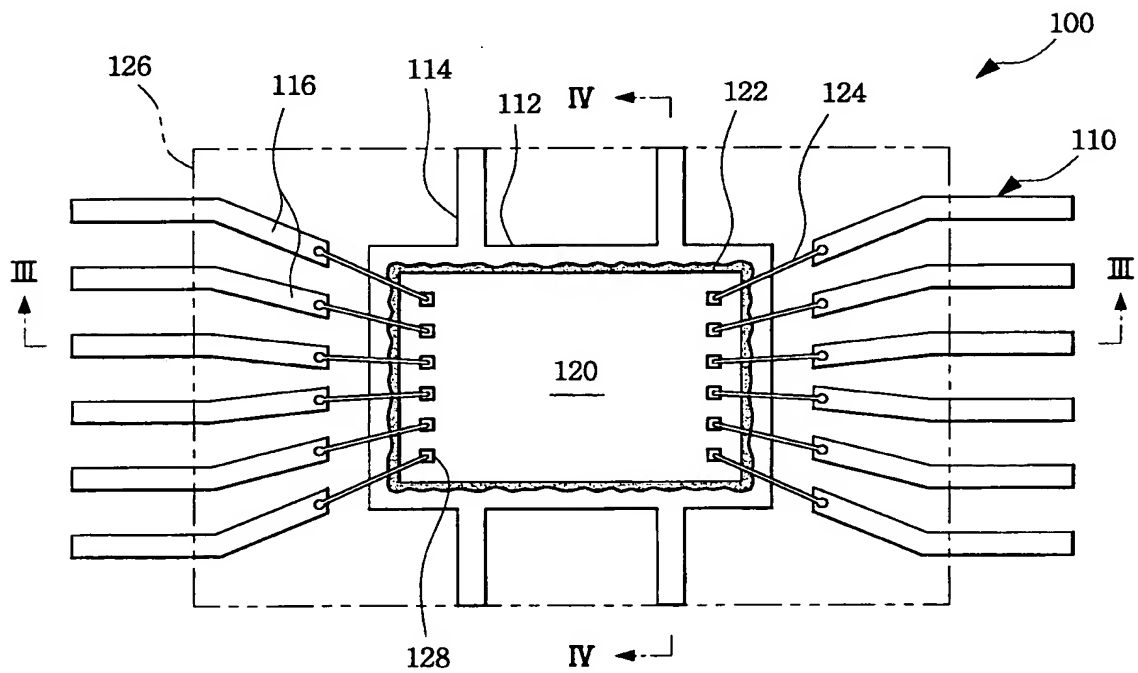
제1항에 있어서, 상기 다이 패드는 적어도 두 부분 이상으로 분할되는 것을 특징으로 하는 초박형 반도체 패키지.

【도면】

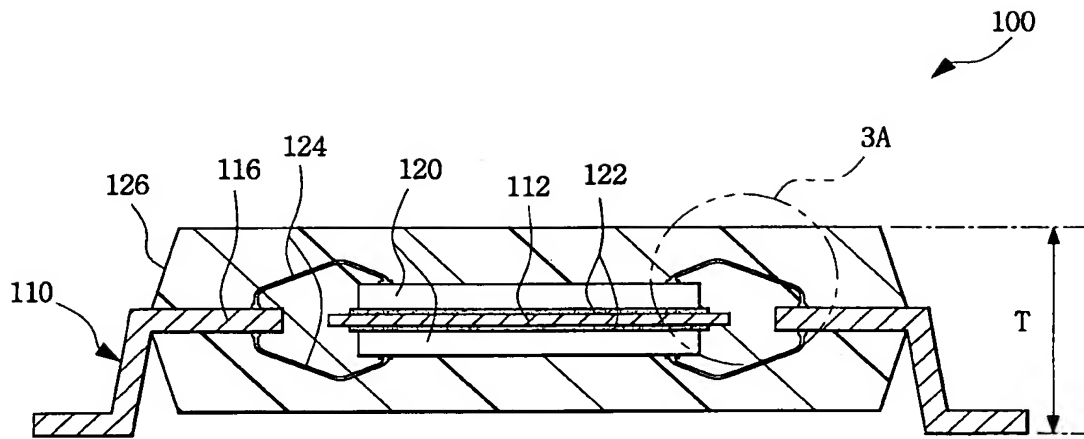
【도 1】



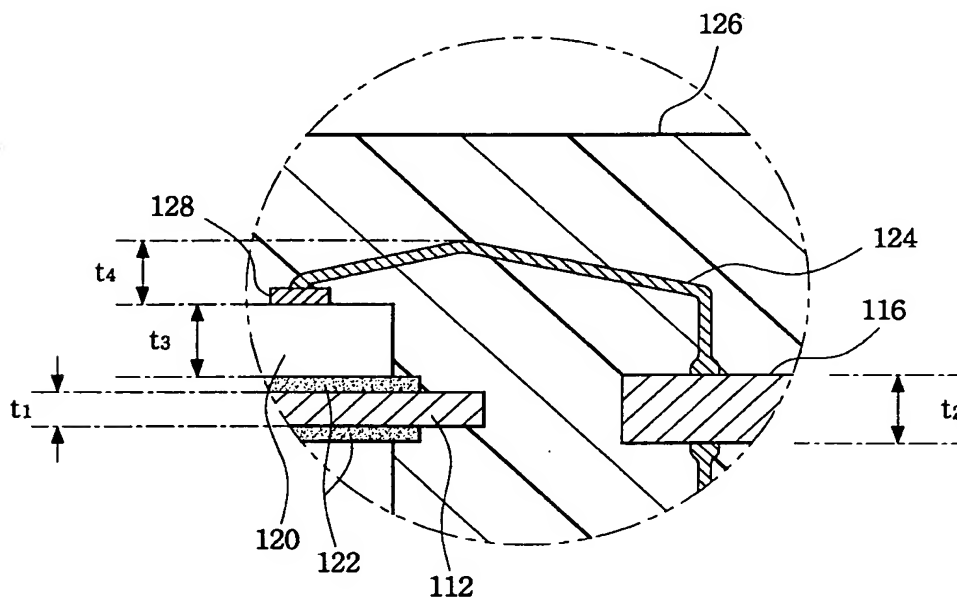
【도 2】



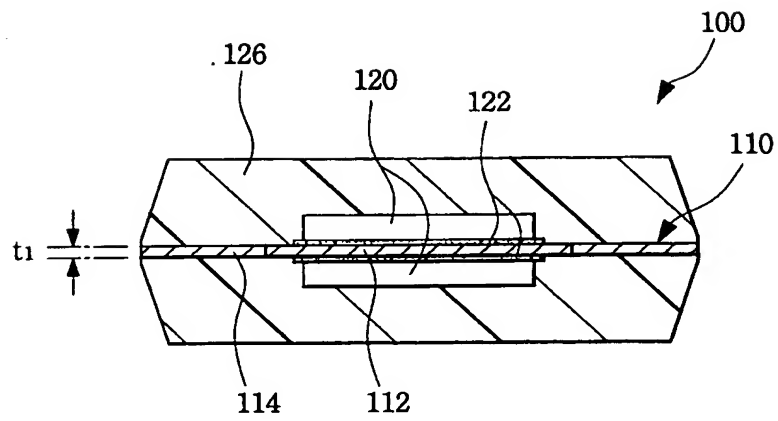
【도 3】



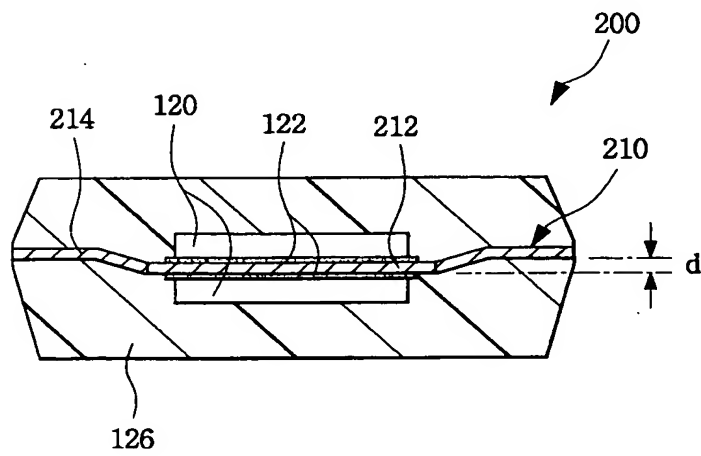
【도 3a】



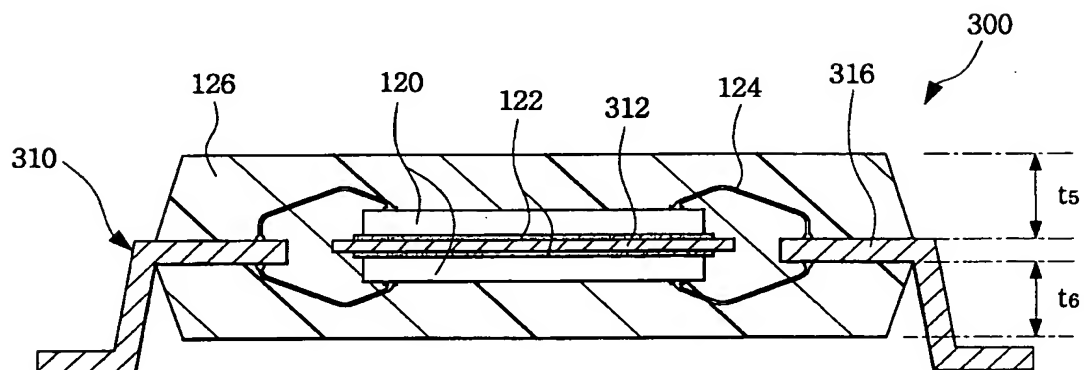
【도 4】



【도 5】

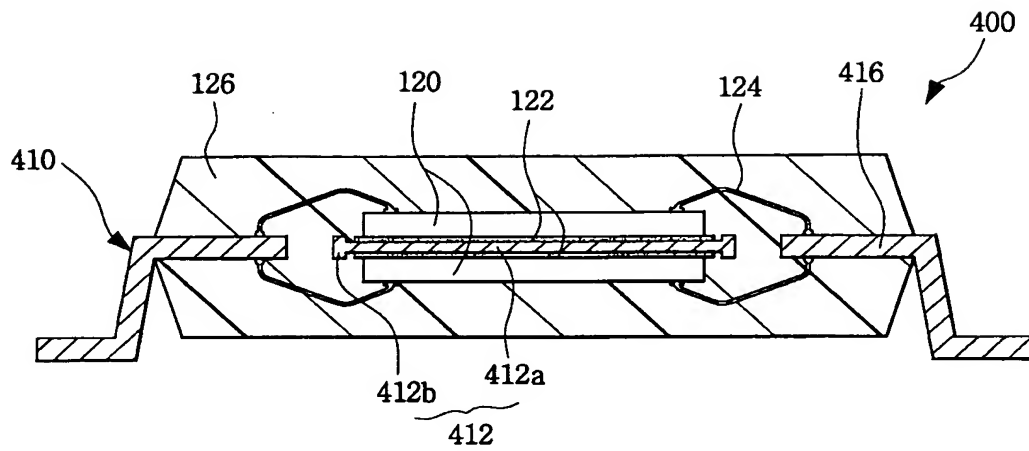


【도 6】

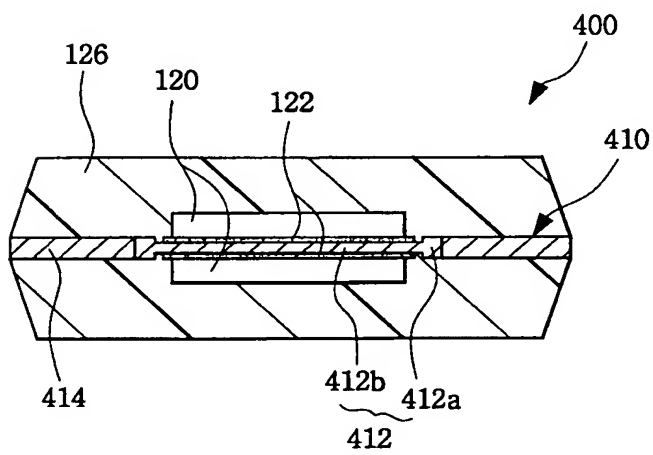




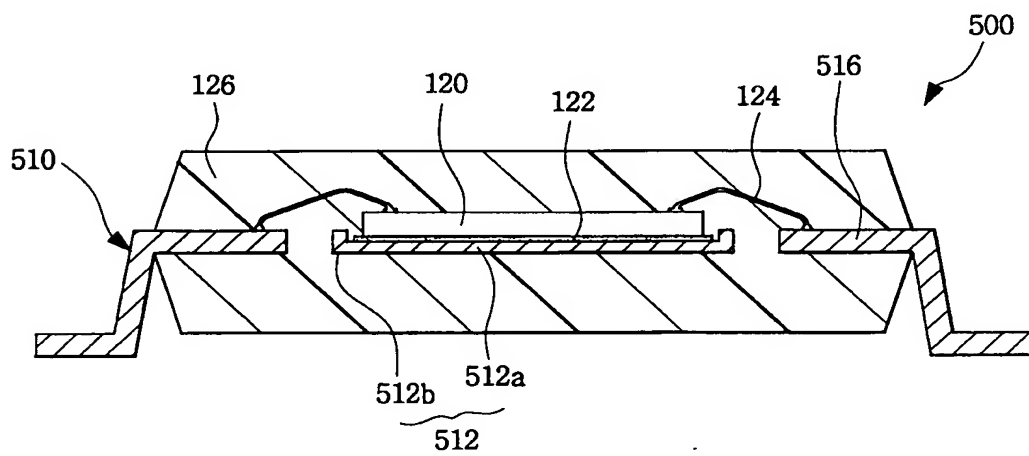
【図 7a】



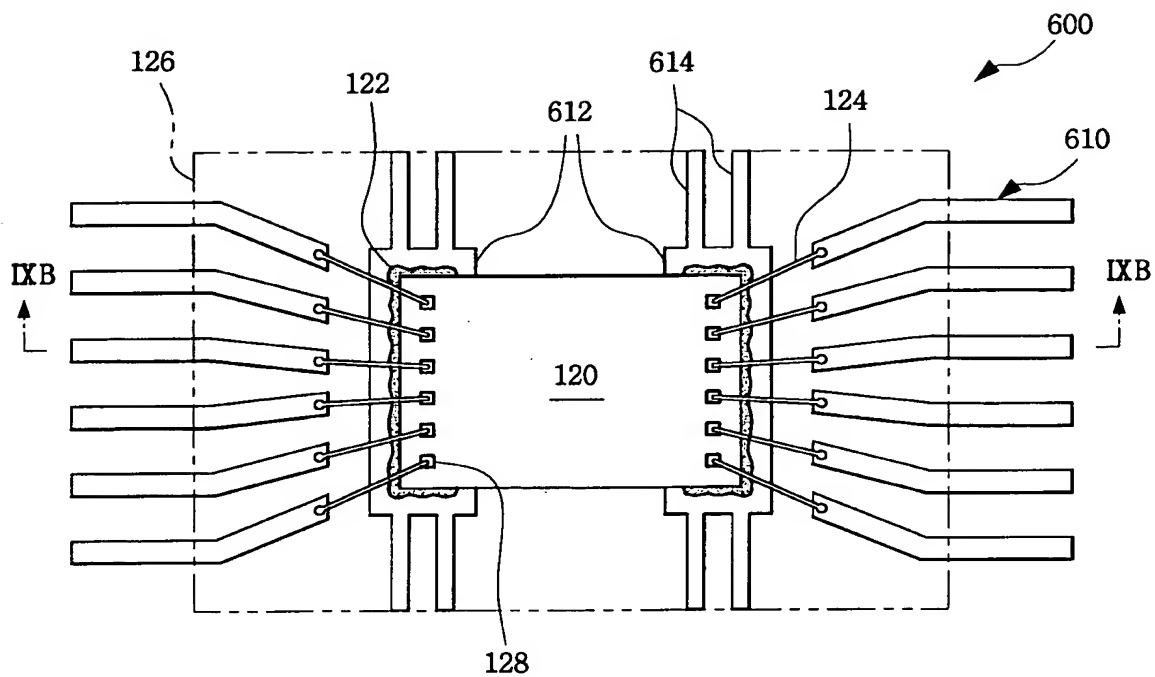
【図 7b】



【図 8】



【도 9a】



【도 9b】

